

应用于超大面阵高速图像传感器的 双反馈环路列级缓冲技术研究

刘绥阳, 郭仲杰*, 许睿明, 余宁梅
(西安理工大学自动化与信息工程学院, 陕西西安 710048)

摘要: 列级读出电路是目前提升平面图像传感器读出效率最为明显的方式, 但是对于亿级像素超大面阵规模下的大数据大负载高速读出, 列级到输出级并串转换中的列级缓冲设计面临极大的挑战. 本文提出一种基于双反馈环路的列级缓冲设计方法, 该方法通过在列级缓冲的近端输出与远端输出间实现双反馈环路, 有效抑制了列级总线的超大寄生参数对建立时间的影响, 同时确保了低噪声高动态下的模拟信号精度. 基于 55 nm 互补金属氧化物半导体 (Complementary Metal Oxide Semiconductor, CMOS) 工艺, 在一款 $12\,288 \times 12\,288$ 像素规模的红外图像传感器中进行了成功的应用, 结果表明: 与传统列级缓冲相比, 本文提出的双反馈环路列级缓冲设计方法可以将上升建立时间缩短 23.4%, 下降建立时间缩短 21.9%, 亿级高速图像传感器的帧率提升 29.6%.

关键词: 图像传感器; 帧率提升; 高速读出; 列级缓冲; 输出总线; 寄生参数

基金项目: 国家自然科学基金 (No.62171367); 陕西省创新能力支撑计划项目 (No.2022TD-39)

中图分类号: TN47 **文献标识码:** A **文章编号:** 0372-2112(2025)01-0094-11

电子学报 URL: <http://www.ejournal.org.cn> **DOI:** 10.12263/DZXB.20240423

Dual-Feedback Loop Column Buffering Technology for Ultra-Large Area High-Speed Image Sensors

LIU Sui-yang, GUO Zhong-jie*, XU Rui-ming, YU Ning-mei

(School of Automation and Engineering, Xi'an University of Technology, Xi'an, Shaanxi 710048, China)

Abstract: The column-level readout circuit is the most obvious way to improve the readout efficiency of planar image sensors, but for the high-speed readout of large data and large loads on one hundred million of pixels, the design of column buffer in the parallel-serial conversion from column level to output level faces great challenges. In this paper, we propose a dual-feedback loop column buffer design method, which effectively suppresses the impact of the oversized parasitic parameters of the column bus on the setup time by implementing a dual-feedback loop between the proximal and distal outputs of the column buffer, and at the same time ensures the accuracy of the analogue signals under low-noise and high-dynamic conditions. Based on 55 nm complementary metal oxide semiconductor (CMOS) process, it has been successfully applied in a $12\,288 \times 12\,288$ pixel scale infrared image sensor. The results show that compared with the traditional column buffer, the dual-feedback loop column buffer proposed in this paper can shorten the rise build-up time by 23.4%, the fall build-up time by 21.9%, and the frame rate of one hundred million-level high-speed image sensor can be improved by more than 29.6%.

Key words: image sensors; frame rate improvement; high-speed readout; column buffer; output bus; parasitic parameters

Foundation Item(s): National Natural Science Foundation of China (No.62171367); Shaanxi Province Innovation Capability Support Plan (No.2022TD-39)

1 引言

因超大面阵规模金属氧化物半导体(Complementary Metal Oxide Semiconductor, CMOS)红外图像传感器具有分辨率高、图像质量好、可识别微小细节的优点,已被广泛应用于很多行业,如医学成像、监控摄像、深空探测、军事系统等^[1]。但是随着像素面阵规模增加,每帧图像的数据量陡增,同时信号传输路径上的寄生参数对高精度信号的建立速度影响严重,使图像传感器的光电信号读出速度受到了很大的考验^[2,3]。虽然列级读出方式具有明显的面积与速度优势,但是在大数据与大寄生的约束下,现有的方法无法满足高速的读出^[4-6]。因此,为了实现超大面阵CMOS红外图像传感器的高速读出,研究列级读出电路中的速度瓶颈、制约因素与解决方法至关重要。

列级读出电路主要分为列级前端采样,列级到输出级的缓冲(简称列级缓冲),输出驱动级。其中,列级前端采样属于行同步动作,且传输距离较短,可以实现高速采样。输出驱动级可以通过调整输出通道数目来减小输出金属线的寄生,解决速度问题。而列级缓冲作为列级模拟信号到输出级模拟信号的并串转换点,由于在同一行时间内是串行输出,所以对于建立时间的要求很高,并且输出总线寄生参数非常大,导致列级缓冲成为制约大数据信号读出速度的瓶颈。针对该问题,国内外研究人员对于提升列级缓冲速度已经展开了以下两方面的研究。

一方面,缩短列级缓冲电路输出信号的建立时间。例如,文献[7]提出压摆率增强辅助电路,在作用的瞬间驱动大负载电容,在控制功耗的基础上,达到建立时间820 ns,缩短了两次采样之间的时间。但是,在压摆率增强辅助电路中,采用了推挽放大器等非常复杂的电路。文献[8]将高增益、大摆幅和高输出阻抗的折叠共源共栅差分运放与高电流增益的甲乙类推挽反相运放级联起来,最终实现功耗小于10 mW,建立时间小于15 ns的高速输出级运算放大器,有效地提升了红外读出电路的帧率。但是,由于采用两级运放,必然会引入米勒电容来实现频率补偿,保证运放的稳定性,这占用了额外的面积。文献[9]根据共模反馈具有高带宽和高增益的特点,在放大器内部增加共模反馈辅助电路。缺点在于功耗问题显著,仅放大器的功耗就达到1.39 mW。文献[10]在缓冲器内部结合慢反馈环路和参考生成电路等辅助电路,提供牵引和补偿电流,实现建立时间仅为0.35 ns,但是功耗增至900 mW。同时,还存在大电流的工作时间难以控制的问题。虽然在信号输出时,通过辅助电路来提供额外的电流为寄生电容放电,能有效地减小列级缓冲输出信号的建立时间,提升图像传感器的帧率。但是,辅助电路的工作时间太短不能使寄生

电容快速完成放电,工作时间太长又会引入额外的功耗,不能实现自适应调节^[11,12]。此类方法只能加快列级输出近端的信号建立速度,对于加入寄生参数输出级远端的信号速度不足问题并没有解决。

另一方面,减小列级缓冲输出总线的寄生。例如,文献[13]提出在系统的上下两侧分别放置读出电路和偏置电路实现输出线上寄生的合理分配,使寄生电阻均匀的作用于每一行的像素,最终提升成像质量和输出信号的线性度。同时,文献[14]提出一种减小总线寄生、优化尺寸的设计策略,为高速图像传感器的版图设计提供参考,降低了设计成本。在此基础上,文献[15]把移位寄存器时钟反向接入,通过减少长线寄生带来的不一致的驱动信号,来提升图像传感器的速度。但是,随着面阵规模的不断增大,通过优化时序和版图布局来提升图像传感器的帧率,效果可能有限。文献[16]提出加入去耦电容和分步读出两种方法来降低寄生效应。加入去耦电容能有效减小输出总线上的寄生电容,从而加快转移速度。由于去耦电容要占用不少面积,并且随着寄生电容的增加,去耦也要持续增加。所以在寄生特别大时,为保证功能,可采用两步式累加的方法来分担寄生效应。但是这需要占用不少时序,将对图像传感器的帧率造成不利影响。文献[17]提出一种列间运放分时复用技术,通过更少的版图布局,来减少寄生带来的性能损失。但是,共用运放也带来了时序复杂和输出不一致的问题。通过以上研究可以看出,虽然采用特殊的电路结构可以有效提升列级缓冲速度,但是存在电路结构复杂,电流太大和不能自适应调节等问题。而且,对于大面阵图像传感器而言,严重寄生影响可能使得这些方法很难实现加速^[18]。

因此,本文从电路与系统级提出在列级缓冲近端输出与远端输出间建立双反馈环路,来减小列级缓冲输出总线上的寄生。此方法结构简单,节省面积,不增加功耗,使图像传感器输出速度的提升不受制于面阵规模^[19]。本文根据双反馈环路短路阻抗的特点,提出双反馈环路列级缓冲的电路结构,在缓冲模式下,输出总线寄生阻抗的有效降低,大幅度缩短了建立时间。采用本文的方法,基于55 nm CMOS工艺在12 288 × 12 288面阵规模图像传感器中完成了设计与验证,实验结果表明:在大规模图像传感器芯片设计中,本文提出的双反馈环路列级缓冲可以有效减少输出总线的寄生和建立时间,提升图像传感器的帧率。

2 双反馈环路列级缓冲设计方法

在图像传感器中,缓冲器可以提高电流的驱动能力,增加输出信号的摆率,从而提高焦平面的读出速率。常用列级缓冲结构为单反馈环路列级缓冲器,如

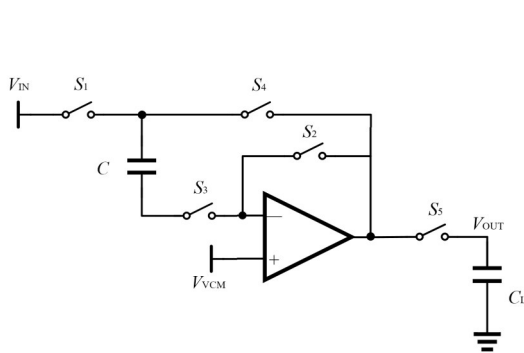
图 1(a)所示. 在开关 S_1 、 S_3 和 S_5 闭合, 同时开关 S_2 和 S_4 断开时, 电容对输入电压采样. 采样完成后, 电容 C 上储存的电荷为 Q , 可表示为

$$Q = (V_{IN} - V_{VCM})C \quad (1)$$

在开关 S_1 、 S_2 断开, 同时开关 S_3 、 S_4 和 S_5 闭合时, 电容对输入电压缓冲. 运算放大器的输出端电压为

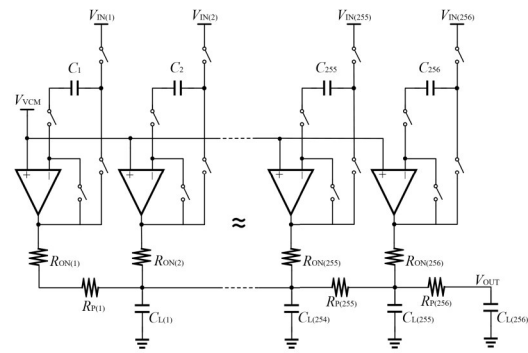
$$V_{OUT} = V_{IN} \quad (2)$$

在 $12\ 288 \times 12\ 288$ 面阵规模的图像传感器中, 采用全流水逐行读出的模式. 每一列像素的输出信号经过可编程增益放大器 (Programmable Gain Amplifier, PGA)



(a) 单反馈环路列级缓冲

采样放大后, 通过列级缓冲实现列信号由并行转为串行输出. 在 48 通道模式下, 一个输出通道中的 256 个列信号经过相关双采样 (Correlated Double Sampling, CDS) 电路和输出缓冲最终到达输出端口. 图 1(b) 为一个输出通道中的 256 列列级缓冲, 对每一列列级缓冲结构进行寄生分析. 在大规模图像传感器的读出电路中, 图 1(a) 中的开关 S_5 存在寄生阻抗 (R_{ON}). 因为开关 S_5 的面积不能太大, 否则会带来大的寄生电容, 所以开关的 R_{ON} 不可小视, 它将会限制总线的驱动速度. 同时, 金属线也存在寄生电阻 (R_p), 其中, 运放输出节点到输出级 CDS 之间的长走线 R_p 对列级缓冲速度的影响巨大.



(b) 单反馈环路列级缓冲输出线上的寄生分析

图 1 单反馈环路列级缓冲结构

上述寄生限制了列级缓冲的输出速度, 可简单地用时间常数 τ 表示, 如式 (3) 所示^[20]:

$$\tau = (R_{ON} + R_p)C_L \quad (3)$$

其中, C_L 为金属线的寄生电容. 注 C_L 形式为式 (3) 的最后一个参数, 金属线的寄生电阻表示为

$$R_p = R_s \frac{L}{W} \quad (4)$$

其中, R_s 为单位面积金属线的电阻; W 为金属线的宽度; L 为金属线的长度. 金属线的寄生电容表示为

$$C_L = C_s \cdot W \cdot L \quad (5)$$

其中, C_s 为单位面积金属线的电容. 因此, 这些寄生不仅会降低图像传感器的读出速度, 并且需要在高速图像传感器中使用大量的输出通道, 增加了芯片面积和制造成本.

为了提升列级缓冲的读出速度, 提出一种双反馈环路列级缓冲, 如图 2(a) 所示.

在双反馈环路列级缓冲中具有两个反馈环路, 其中, 环路一由 S_3 、 S_4 和 C_1 组成, 环路二由 S_3 、 S_4 、 S_6 和 C_1 组成. 当 S_3 、 S_4 、 S_5 、 S_6 开关同时闭合时, 由于两个环路的存在, 开关 S_5 的左右两端电压在同一时刻保持一致. 如图 2(b) 所示, S_5 开关阻抗 R_{ON} 和金属线寄生电阻 R_p 被短路, 使它们不再成为限制列级缓冲读出速度的因素. 并

且, 双反馈环路中增加的开关器件 S_6 对信号精度不会产生影响. 此处不存在直流路径, 开关器件的导通电阻在直流上不会对信号产生影响, 因此主要考虑在交流下的建立时间、时钟馈通和电荷注入的影响. 首先, 增加的开关是 CMOS 开关, 也就是互补开关, 所以, 采用 N 型金属氧化物半导体 (N-Metal-Oxide-Semiconductor, NMOS) 和 P 型金属氧化物半导体 (P-Metal-Oxide-Semiconductor, PMOS) 的宽长比优化方法, 将有效减小电荷注入对开关电容采样保持电路精度的影响. 其次, 由于在绘制版图时, 采样端为靠近衬底的底极板, 而底极板采样是通过时序控制来抵消电荷注入的有效手段, 可以提高精度, 所以基本可以解决开关的非理想效应. 最后, 针对时钟频率较快时, 互补 CMOS 开关无法保证 NMOS 和 PMOS 同时打开或断开所导致的精度损失也进行了分析. 像素信号的最终模拟输出精度为 8 位精度, 由于输出信号的摆幅为 1.6 V, 则在保证精度的情况下, 可容忍的电压损失为 6.25 mV. $12\ 288 \times 12\ 288$ 像素规模图像传感器的输出时钟频率为 10 MHz, 单像素输出时间约为 50 ns. 列级缓冲中, 互补 CMOS 开关控制信号的引入是由一控制端的控制信号经过一个反相器再传给互补 CMOS 开关的另一控制端, 具体为 NMOS 开关先打开, 80 ps 后, PMOS 开关再打开. 两开关打开的时间差值远

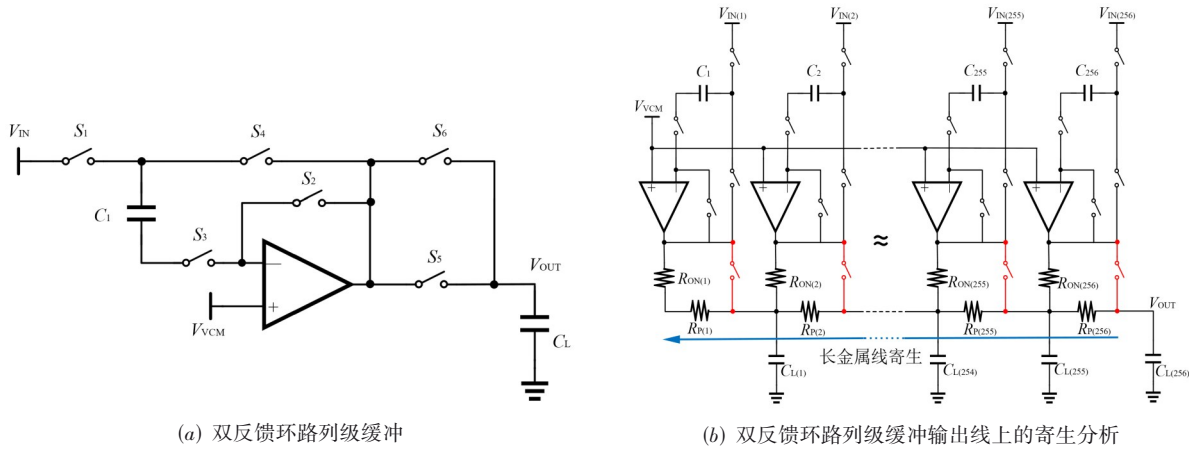


图2 双反馈环路列级缓冲

小于单像素输出时间. 输出总线的负载电容小于 7 pF, 两开关不一致动作引入沟道电荷注入效应, 导致精度损失小于 200 μV, 远小于 8 位精度输出可容忍的电压损失, 所以不会影响到最终像素信号的模拟输出精度.

双反馈环路列级缓冲的输出速度, 可简单地用时间常数 τ_1 表示, 如式(6)所示:

$$\tau_1 = RC_L \quad (6)$$

由于此处的 R 小于一个 MOS 开关的导通电阻 R_{ON} ,

因此, 与式(3)相比, 双反馈环路列级缓冲的时间常数更小. 列级缓冲输出信号的建立时间 (T_c) 与输出精度的关系见表 1^[21], 由表 1 可知, 双反馈环路列级缓冲的时间常数变小, 输出信号建立至相同精度的时间将缩短. 随着分辨率的增加, 指数增长的金属线寄生会在输出节点上产生较大的寄生电阻, 严重地限制了输出信号的建立速度. 因此, 应用双反馈列级缓冲将实现输出单像素信号时间缩短, 增大红外图像传感器的帧率.

表 1 输出精度与建立时间的关系

T_c	0	1τ	2τ	3τ	4τ	5τ
$\frac{\Delta V_{out}(t)}{\Delta V_{out}(\infty)}$	$1 - e^0 = 0$	$1 - e^{-1} = 63.2\%$	$1 - e^{-2} = 86.5\%$	$1 - e^{-3} = 95\%$	$1 - e^{-4} = 98.2\%$	$1 - e^{-5} = 99.5\%$

3 采用双反馈环路列级缓冲的红外图像传感器结构

为了研究双反馈环路缓冲电路应用于列级缓冲的实际加速效果, 采用国内 55 nm 1P4M CIS 工艺平台, 搭建基于双反馈环路列级缓冲、面阵规模为 $12\,288 \times 12\,288$ 的红外图像传感器结构, 如图 3 所示^[22,23].

图 3 中左侧框图展示了图像传感器的主要组成部分, 包括: $12\,288 \times 12\,288$ 像素阵列; 12 288 列 PGA, 可根据应用场景实现电压信号的 1、2、4 倍放大; 双反馈环路列级缓冲, 实现信号的高速并转串输出; 数字列逻辑电路, 提供时序; CDS 电路, 消除复位噪声 (kTC 噪声). 图 3 中的红色框展示了双反馈环路列级缓冲的电路设计, 相比于常用的单反馈环路列级缓冲, 增加了开关 S_6 , 形成双反馈环路.

图 3 中红色框展示的双反馈环路列级缓冲具有 4 条采样和缓冲支路, 分别用于缓冲奇数行的共模电平和信号电平, 缓冲偶数行的共模电平和信号电平. 其中, S_{1_VCM1} 和 S_{5_VCM1} 用于采样 PGA 输出的奇数行共模

电平; S_{1_VCM2} 和 S_{5_VCM2} 用于采样 PGA 输出的偶数行共模电平; S_{1_SIG1} 和 S_{5_SIG1} 用于采样 PGA 缓冲的奇数行信号电平; S_{1_SIG2} 和 S_{5_SIG2} 用于采样 PGA 输出的偶数行信号电平; S_{2_VCM1} 和 S_{4_VCM1} 用于缓冲 PGA 输出的奇数行共模电平; S_{2_VCM2} 和 S_{4_VCM2} 用于缓冲 PGA 输出的偶数行共模电平; S_{2_SIG1} 和 S_{4_SIG1} 用于缓冲 PGA 输出的奇数行信号电平; S_{2_SIG2} 和 S_{4_SIG2} 用于缓冲 PGA 输出的偶数行信号电平.

一系列级缓冲的工作时序如图 4 所示, 在奇数行信号逐列缓冲输出的同时, 采样偶数行的信号, 实现信号的连续输出. 图 4 中所有信号均为高电平有效. 图 4 中阴影部分的时序展示了在 S_{1_VCM2} 、 S_{5_VCM2} 及 S_{1_SIG2} 、 S_{5_SIG2} 开关闭合期间, 逐列将 S_{2_VCM1} 、 S_{4_VCM1} 、 S_6 和 S_7 开关闭合, 缓冲 PGA 输出的奇数行共模电平; 闭合开关 S_{2_SIG1} 、 S_{4_SIG1} 、 S_6 和 S_7 , 缓冲 PGA 输出的奇数行信号电平. 采样是多列并行的, 缓冲输出是多列串行的. 对于大面阵图像传感器来说, 在输出一行信号的时间内, 一个通道中, 上百个列信号串行缓冲输出. 由于采用奇数行采样的同时缓冲输出偶数行信号的工作模式, 所以在并行

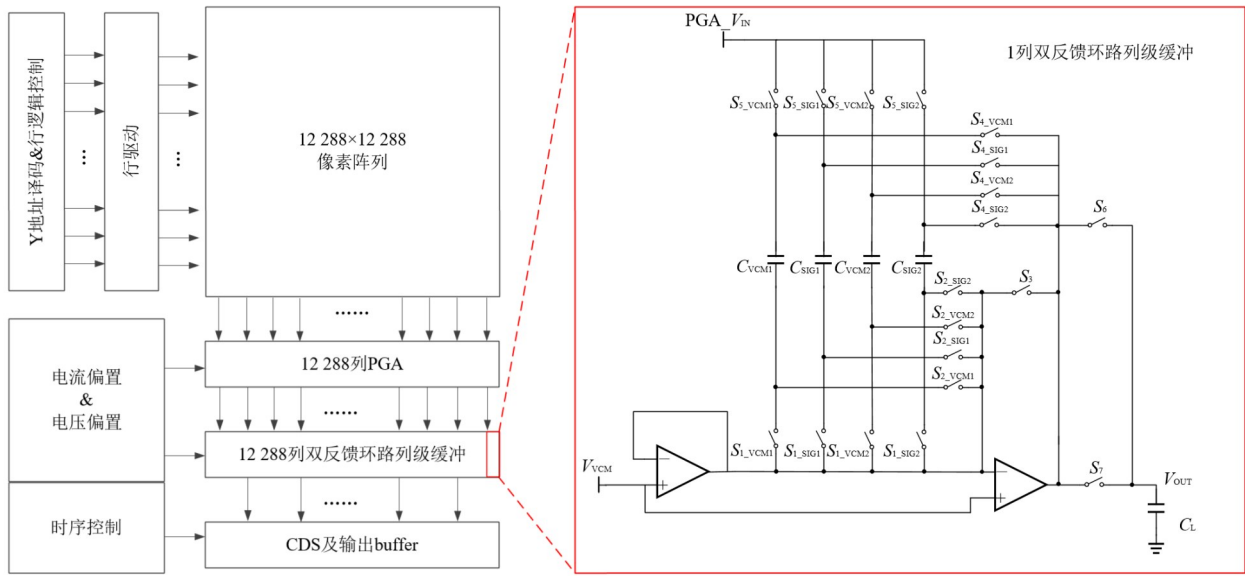


图3 具有双反馈环路高速列级缓冲的红外图像传感器

采样的时间里进行串行的缓冲输出。因此,采样时间设计为略大于一个通道中所有列信号串行缓冲输出的总时间。这样看来,缓冲输出时间决定了采样周期,也决定了图像传感器的帧率。最终得出,列级缓冲的缓冲输出速度是影响图像传感器帧率的重要因素。

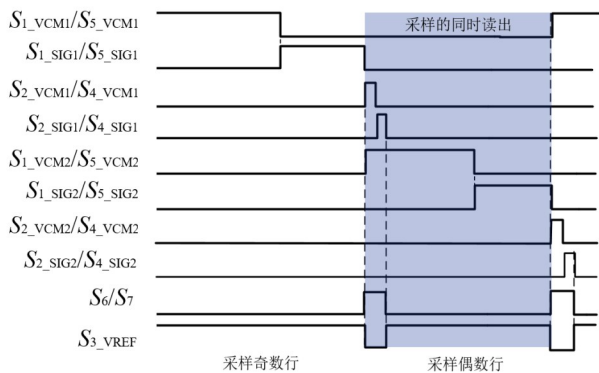


图4 具有双反馈环路列级缓冲的工作时序

4 测试结果与数据分析

为了研究双反馈环路列级缓冲对红外图像传感器帧率的提升效果,基于国内 55 nm 1P4M CMOS 图像传感器 (CMOS Image Sensor, CIS) 工艺平台,完成了 12 288 × 12 288 像素规模的红外图像传感器版图设计、流片和测试数据分析。基于双反馈环路列级缓冲的高速红外图像传感器全芯片版图设计如图 5 所示,其中列级缓冲位于列级到输出级的并串转换电路中,传感器输出通道的数目可配置为 96、48、24 和 12。

双反馈环路列级缓冲版图设计如图 5 中红框所示,

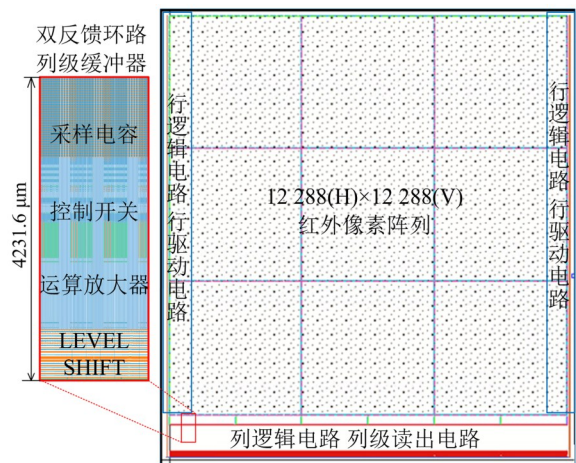


图5 双反馈环路列级缓冲及高速红外图像传感器整体版图设计

为了适应像素阵列的布局,单列列级缓冲版图的宽度与像素的中心距保持一致,为 5.5 μm,长度为 4 231.6 μm。在列级缓冲版图内部,开关、电容和器件的排布经过精心的设计。输入信号端口在列级缓冲版图的顶端引出,以便连接 PGA 的输出,控制信号和输出信号的传输端口则从列级缓冲版图的底端引出,以便连接列级数字逻辑控制模块和后级读出电路。版图从上至下排放为采样电容、开关、运放和电平转换模块。其中,采样电容用于存储 PGA 输出的共模电平和信号电平,控制开关控制信号的采样和放大,LEVEL SHIFT 用于将 1.2 V 电压域的数字信号转换为 3.3 V 电压域的模拟信号。采样电容采用 MOS 电容和 MOM 电容组合的方式,综合 MOS 电容单位面积容值大与 MOM 电容容值稳定的优点,在布局上 MOS 电容采用插指结构,以避免狭长布局带来大寄生电容,导致信号振铃的问题。互补开关的设计考

虑到时间的充裕度和流过开关的电流,设计采样开关、转移开关、读出开关尺寸依次增大,根据MOS管尺寸的大小,将NMOS和PMOS进行左右布局或上下布局.运算放大器均采用基本的五管结构,由于用于缓冲输出的运算放大器具有高功耗、高速、高带宽的特点,晶体管尺寸均很大,在插指多、匹配困难时,采用切分后分别进行匹配的方法.版图中运算放大器的差分输入对管、电流镜等需要匹配的关键器件均进行了匹配处理,并在器件匹配阵列与栅极平行方向的两侧添加了足量的冗余器件以减弱器件之间的失配,拥有一定可修调的空间,同时,不同匹配阵列的器件用隔离环进行隔离.最后对于电平转换模块,由于沟长均小于版图宽度,所以均采用两侧对称的布局方式,使两相信号输出保持一致.

列级缓冲的负载电阻主要是输出总线上的金属线寄生电阻,负载电容主要是金属线寄生电容和后续相

关双采样部分的采样电容.输出通道的数目决定输出总线的长短,影响了金属线寄生电容和电阻的大小.输出通道数目越多,列级缓冲输出总线的长度就越短,相应的金属线寄生电容和寄生电阻值越小,反之亦然.在输出通道数目为96、48、24和12时,采用宽度0.4 μm 的金属线做列级缓冲的输出总线,列级缓冲输出总线上的寄生电阻和寄生电容的值可根据式(4)和式(5)分别计算,如表2所示.同时在表2中还列举了通过版图提取的列级缓冲输出信号线上的寄生电阻和寄生电容.可以看出版图提取出的寄生参数比公式计算出的寄生参数大得多,这是因为计算得出的金属线寄生参数只考虑了输出总线上金属线本身的寄生参数,而版图提取的输出总线上的寄生参数包含输出总线及其支路的金属线、输出总线与其他同层金属线之间、输出总线与其他不同层金属线之间、输出总线与衬底之间的所有寄生参数.

表2 输出通道数目不同时,列级缓冲输出线上的寄生情况

输出通道数目	计算出的金属线寄生电阻/ Ω	计算出的金属线寄生电容/fF	版图提取的寄生电阻/ Ω	版图提取的寄生电容/fF
96	390.4	62	11 940	910
48	780.8	124	23 992	1 832
24	1 561.6	186	48 002	3 667
12	3 123.2	248	95 994	7 336

如图2(b)所示,由于优化减少的寄生效应是一段输出总线的寄生效应,而不是一个固定的值,所以被优化掉的输出总线寄生效应与未被优化掉的输出总线寄生效应,在计算和版图提取这两种衡量方式下,同时被低估或高估,因此,无论在仿真中引入哪种方式得到的寄生效应,优化效果都将保持一致.

在考虑了输出总线寄生参数的情况下,对双反馈环路列级缓冲加速输出信号建立、缩短单像素输出时间、提升帧率的效果进行了测试.

当输出通道数目为48时,在TT(Typical-Typical)工艺角和25 $^{\circ}\text{C}$ 条件下,测试单反馈环路列级缓冲和双反馈环路列级缓冲的输出信号曲线,如图6所示.图6(a)中的输出信号为一个2.8 V的PGA共模电平和一个1.2 V的信号电平.可以看出,双反馈环路列级缓冲对输出信号的上升建立和下降建立均具有明显的促进作用.

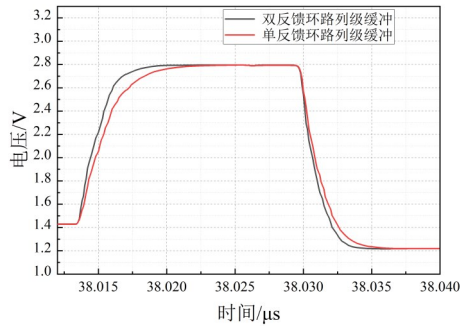
为了在不同光强的情况下,研究双反馈环路列级缓冲对建立时间缩短的效果.在48通道输出的条件下,输入信号电平分别为1.6 V、2.0 V、2.4 V,分别代表弱光、亮光和强光输入.测试单反馈环路列级缓冲和双反馈环路列级缓冲的输出曲线,如图6(b)所示.由于输入的PGA共模电平保持不变,所以输入信号电平变化,输出曲线的上升建立情况与图6(a)保持一致,输入信号电平的变化仅对列级缓冲输出曲线的下降建立时间产生影响.可以看出,无论光照条件如何,双反馈环路

列级缓冲对输出信号的下降建立均具有明显的促进作用,且输入光照强度越强,加速建立的效果越好.

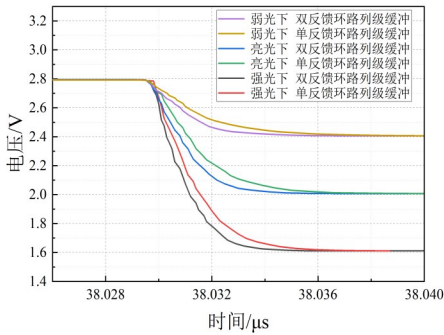
为了在输出通道数目不同的情况下,研究双反馈环路列级缓冲缩短建立时间的效果.在96、48、24和12通道输出时,25 $^{\circ}\text{C}$ 和TT工艺角的条件下,对两种列级缓冲进行测试分析和比较.两种列级缓冲的建立时间、双反馈环路列级缓冲缩短建立时间和提升图像传感器帧率的效果如表3所示.其中,输入信号为2.8 V的PGA共模电平和1.2 V的信号电平,建立时间均采用8位精度读出.图像传感器的帧率为

$$\text{FPS} = \frac{1}{2(T_{\text{setup}} + T_{\text{setdown}}) \times \frac{N_{\text{col}}}{N_{\text{pad}}} \times N_{\text{row}}} \quad (7)$$

其中, T_{setup} 为单像素输出的上升建立时间; T_{setdown} 为单像素输出的下降建立时间; N_{col} 为图像传感器像素阵列的列数; N_{pad} 为图像传感器的输出通道数; N_{row} 为图像传感器像素阵列的行数.所以,增加帧率,即缩短读出一帧信号所需要的时间,归根结底是减少单像素输出的建立时间.12 288 \times 12 288像素规模图像传感器的帧率通过式(7)计算的结果如表3所示,在输出通道数目不同的情况下,采用双反馈环路列级缓冲对输出信号的上升建立时间和下降建立时间均具有明显的缩短效果.相比于下降建立时间,双反馈环路列级缓冲缩短输出信号的上升建立时间效果更加明显.其中,在48通道



(a) 列级缓冲的输出信号



(b) 输入光强不同,列级缓冲的输出信号

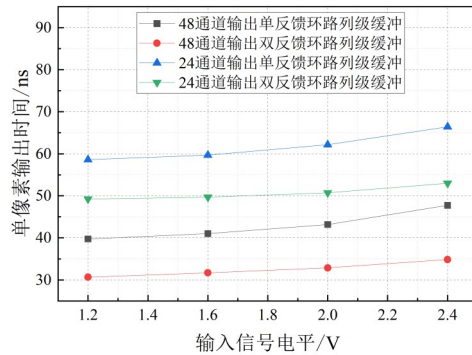
图6 48通道的两种列级缓冲输出信号曲线

输出的情况下,上升建立时间缩短 23.4%,下降建立时间缩短 21.9%,效果最为显著.同时,从表3还可知,采用双反馈环路列级缓冲可以提升帧率.同样,在48通道输出时帧率提升效果最显著,为29.6%.需要注意的是,在96通道输出时,采用双反馈环路列级缓冲,输出信号的下建立时间并未缩短.这是因为将图3中开关 S_7 放入环路后,由于引入极点使输出曲线产生了微小的震荡,影响了信号电平的建立.

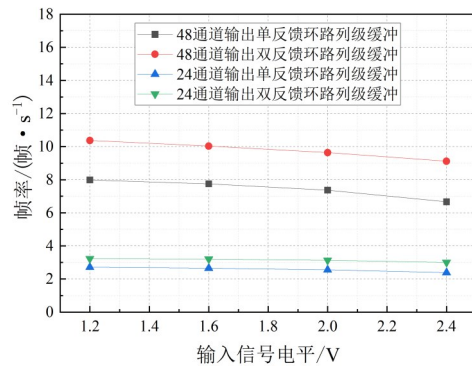
当输出通道数目为48和24时,两种列级缓冲输出不同信号电平的单像素输出时间如图7(a)所示,对应的图像传感器帧率如图7(b)所示.

由图7(a)可知,随着输入信号电平的增加,双反

馈环路列级缓冲对于单像素输出时间的缩短效果逐渐显著.并且在输出通道数目为48,输入信号电平为2.4 V时,效果最为明显,将单像素输出时间缩短27%.根据式(7)计算图像传感器的帧率结果,如图7(b)所示.对于 $12\ 288 \times 12\ 288$ 面阵规模、48通道输出、采用双反馈环路列级缓冲的图像传感器,帧率可以达到10.4 帧/s,相比于采用单反馈环路列级缓冲,实现29.8%的帧率提升.对于 $12\ 288 \times 12\ 288$ 面阵规模、24通道输出、采用双反馈环路列级缓冲的图像传感器,帧率可以达到3.2 帧/s.



(a) 列级缓冲的单像素输出时间



(b) 图像传感器的帧率

图7 输入不同信号电平列级缓冲的单像素输出时间和图像传感器帧率

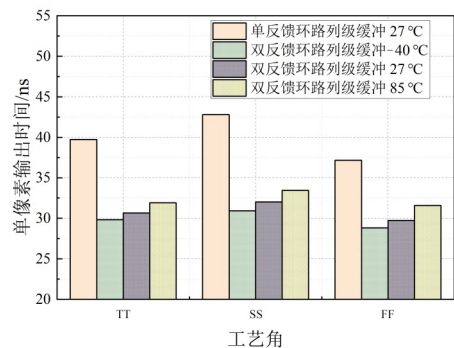
表3 两种列级缓冲输出信号的建立时间

通道数目	列级缓冲结构	上升建立时间/ns	上升建立时间缩短情况/%	下降建立时间/ms	下降建立时间缩短情况/%	帧率/(帧·s ⁻¹)	帧率提升/%
96	单反馈环路	10.49	22.9	7.30	0	17.80	15.7
	双反馈环路	8.08		7.30		20.60	
48	单反馈环路	12.52	23.4	7.35	21.9	8.00	29.6
	双反馈环路	9.59		5.74		10.40	
24	单反馈环路	17.36	18.5	11.95	12.3	2.71	19.0
	双反馈环路	14.14		10.48		3.23	
12	单反馈环路	23.88	12.4	23.18	12.3	0.84	14.0
	双反馈环路	20.93		20.34		0.96	

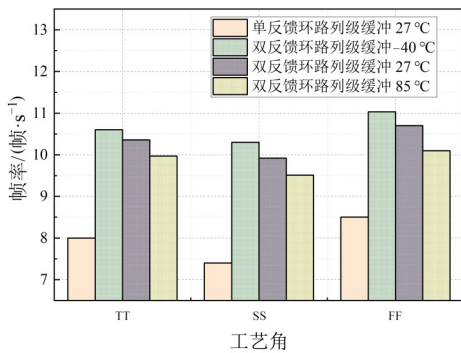
为了验证双反馈环路列级缓冲在不同的工艺角和温度下,缩短建立时间和提升帧率的效果.在工艺角为TT、SS(Slow-Slow)和FF(Fast-Fast),温度为-40℃、27℃和85℃的条件下,对12 288×12 288面阵规模,输出通道数目为48的图像传感器进行PVT测试.其中,输入共模电平为2.8 V,信号电平为1.2 V,单反馈环路列级缓冲和双反馈环路列级缓冲的单像素输出时间和红外图像传感器帧率如图8所示.

由图8(a)可以明显看出,采用双反馈环路列级缓冲,在不同的工艺角和温度下,对单像素输出时间均有明显的缩短效果,并遵循温度越低单像素输出时间越短的一般规律.在FF工艺角下,双反馈环路列级缓冲的单像素输出时间短于TT工艺角.在TT工艺角下,双反馈环路列级缓冲的单像素输出时间短于SS工艺角.同时,图8(b)展示了采用双反馈环路列级缓冲提升帧率的效果.可以看出,在所有的工艺角和温度下,采用双反馈环路列级缓冲,将平均缩短22.2%的单像素输出时间,平均提升29.2%的帧率.采用双反馈环路列级缓冲,48通道输出、12 288×12 288面阵规模的红外图像传感器,在所有工艺角和温度下,帧率的平均值为10.28帧/s.

采用单反馈环路列级缓冲和双反馈环路列级缓冲的48通道输出、12 288×12 288面阵规模的红外图像



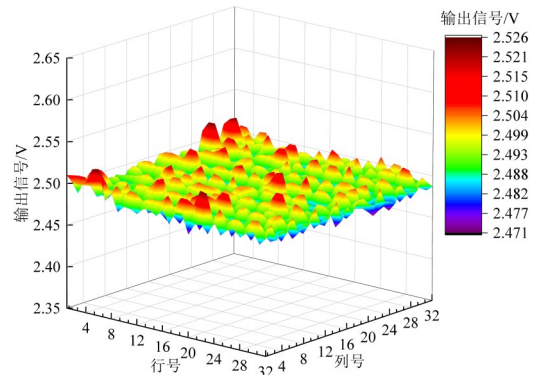
(a) 单像素输出时间



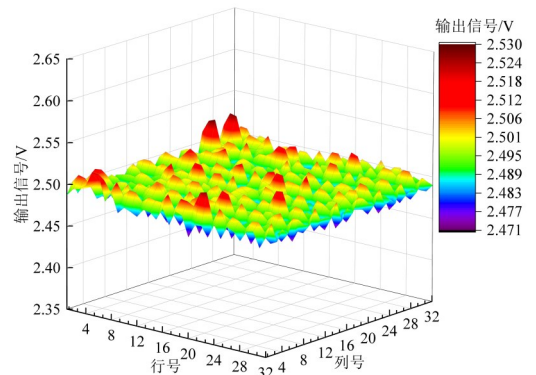
(b) 帧率

图8 两种列级缓冲的PVT测试结果

传感器,在32×32开窗模式下,输出信号的曲面图如图9所示.图中X轴为行号,Y轴为列号,Z轴为输出信号.可以看出,当输入信号为1.2 V时,无论采用哪种列级缓冲,在窗口内部,输出电压信号基本均匀,范围为2.471~2.530 V.同时,可以得出,在图像传感器的输出链路中,双反馈环路列级缓冲不会对图像传感器输出图像列条纹带来额外的影响.



(a) 单反馈环路列级缓冲



(b) 双反馈环路列级缓冲

图9 CMOS图像传感器输出信号的三维曲面图

在TT工艺角、-40℃的条件下,对采用双反馈环路列级缓冲、48通道输出、12 288×12 288面阵规模的红外图像传感器进行蒙特卡洛分析.如图10所示,当输入信号电平为1.2 V时,双反馈环路列级缓冲输出一个信号的平均时间为29.8 ns,符合高斯分布.

将采用双反馈环路列级缓冲、12 288×12 288面阵规模图像传感器与其他高速图像传感器进行比较,如表4所示.通过比较可以得出,本文提出的图像传感器,单像素输出时间仅为30 ns,远小于文献[15]的95 ns、文献[16]的2 020 ns、文献[24]的430 ns、文献[25]的1 740 ns、文献[26]的120 ns和文献[27]的60 ns,而与面阵规模很小的文献[17]的26.5 ns和文献[28]的40 ns接近,略小于采用双侧输出的文献[29]和文献[30]的40 ns.对于提升图像传感器帧

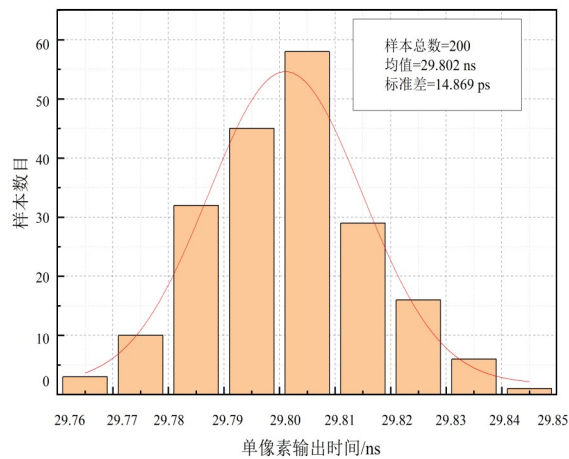


图10 双反馈环路列级缓冲单像素输出时间的蒙特卡洛分析

表4 高速图像传感器帧率对比

文献	工艺条件/mm	像素规模	面积/mm ²	曝光方式	采用方法	输出通道数	单像素输出时间/ns	功耗/mW	帧率/(帧·s ⁻¹)
文献[15]	110	2 048 × 2 048	19.3 × 19.5	全局/卷帘	寄存器时钟反向接入	8	95.0	—	2.00
文献[16]	180	128 × 1 024	18.2 × 18.9	卷帘	去耦电容和分步读出	512	2 020.0	290.000 0	30.00
文献[17]	40	256 × 256	3 × 4	全局	列间运放分时复用技术	256	26.5	37.400 0	574.00
文献[24]	110	160 × 120	3.2 × 2.6	全局	列内 CNN 处理器	5	430.0	0.570 0	1.00
文献[25]	250	120 × 120	2.2 × 2.5	卷帘	时序模式操作	1	1 740.0	0.013 2	40.00
文献[26]	90/65	26 112 × 15 000	105.18 × 58.50	全局/卷帘	双时钟沿输出	24	120.0	1 750.000 0	1.00
文献[27]	180	15 360 × 8 640	37.632 × 21.168	全局	流水线读出	16	60.0	11 000.000 0	60.00
文献[28]	180	134 × 132	4.8 × 4.8	卷帘	高速电荷调制器	134	40.0	77.800 0	90.00
文献[29]	130	19 568 × 12 588	32.84 × 25.84	卷帘	奇偶列从上下两侧读出	12	40.0	1 970.000 0	5.00
文献[30]	65	18 400 × 17 712	77.4 × 75.54	卷帘	上下两侧读出	92	40.0	23 000.000 0	120.00
文献[31]	55	15 360 × 15 360	118 × 125	全局	延迟锁相环	120	50.0	—	10.00
文献[32]	65/28	12 000 × 9 000	8.4 × 6.3	卷帘	噪声抑制技术	—	—	551.000 0	10.00
本文	55	12 288 × 12 288	77 × 84	全局	双反馈环路列级缓冲	48	30.0	1 600.000 0	10.28

5 结论

在亿级像素的超大规模图像传感器中,规避寄生影响,设计高速列级缓冲具有现实意义.因此,本文深入分析超大面阵图像传感器速度与寄生的制约关系,从电路与系统级提出一种双反馈环路列级缓冲.基于国内 55 nm CMOS 工艺平台,将此双反馈环路列级缓冲应用于 12 288 × 12 288 像素规模的图像传感器芯片中.在输出通道数目为 48 时,实现单像素输出时间为 30 ns,图像传感器的帧率提升 29.6%,为 10.28 帧/s;在

率的方法,本文采用的双反馈环路列级缓冲相比于文献[28]的增加高速电荷调制器、文献[24]的通过列内卷积神经网络(Convolutional Neural Network, CNN)处理器实现电流更新和高速处理、文献[31]的增加延迟锁相环、文献[29]和文献[30]的双侧读出来,仅增加了一个晶体管,具有结构简单的优势.相比于文献[16]的分步读出方式、文献[17]的分时复用技术、文献[25]的采用斜坡调节曝光时间、文献[26]的双时钟沿输出、文献[27]的流水线读出的方法,又具有时序简单的优势.相比于其他亿级像素规模的图像传感器,本文的帧率为 10.28 帧/s,远大于文献[15]的 2 帧/s、文献[26]的 1 帧/s 和文献[29]的 5 帧/s,略高于文献[31]和文献[32]的 10 帧/s.虽然文献[27]和文献[30]的帧率很高,但却采用了超高功耗的读出技术.

输出通道数目为 24 时,实现单像素输出时间为 49 ns,图像传感器的帧率提升 19%,为 3.2 帧/s.双反馈环路列级缓冲的提出,使读出速度的提升不再受面阵规模的制约,为高速大面阵 CMOS 图像传感器的设计提供了一定的理论指导.

参考文献

- [1] KARPOV S, BAJAT A, CHRISTOV A, et al. Evaluation of scientific complementary metal-oxide-semiconductor

- sensors for sky survey applications[J]. *Astronomische Nachrichten*, 2019, 340(7): 638-645.
- [2] ZEMLIKA J, HOLIK M, KRAUS V, et al. Fast spectroscopic imaging with pixel semiconductor detector Timepix and parallel data reading[J]. *Journal of Instrumentation*, 2014, 9(4): C04007.
- [3] SAKANO Y, TOYOSHIMA T, NAKAMURA R, et al. 5.7 A 132dB single-exposure-dynamic-range CMOS image sensor with high temperature tolerance[C]//2020 IEEE International Solid-State Circuits Conference - (ISSCC). Piscataway: IEEE, 2020: 106-108.
- [4] FAR A. Class AB amplifier with noise reduction, speed boost, gain enhancement, and ultra low power[C]//2018 IEEE 9th Latin American Symposium on Circuits & Systems (LASCAS). Piscataway: IEEE, 2018: 1-4.
- [5] GEORGE S S, BOCKO M F, IGNJATOVIC Z. Current sensing-assisted active pixel sensor for high-speed CMOS image sensors[J]. *IEEE Sensors Journal*, 2015, 15(8): 4365-4372.
- [6] GEORGE S, IGNJATOVIC Z. An improved high speed low noise CMOS image sensor[C]//2014 IEEE 57th International Midwest Symposium on Circuits and Systems (MWSCAS). Piscataway: IEEE, 2014: 941-944.
- [7] ARSLAN E, MINALI S. Low-power and high-speed CMOS voltage buffer for flat panel displays[C]//2022 19th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON). Piscataway: IEEE, 2022: 1-4.
- [8] 张露漩, 李敬国, 袁媛. 一款适用于高速读出电路的输出级运算放大器设计[J]. *激光与红外*, 2022, 52(9): 1407-1410.
- ZHANG L X, LI J G, YUAN Y. An output stage OPA design for high-speed readout circuit[J]. *Laser & Infrared*, 2022, 52(9): 1407-1410. (in Chinese)
- [9] MAHDAVI S, NORUZPUR F, ESMAELIE S, et al. A novel high-speed high-gain and low-noise CMOS amplifier in 0.18 μm process[C]//2019 5th Conference on Knowledge Based Engineering and Innovation (KBEI). Piscataway: IEEE, 2019: 799-802.
- [10] NI Y B, LI T, ZHANG Y, et al. A reference buffer with high-efficiency for high-speed and high-precision switched-capacitor ADCs[C]//2018 IEEE 18th International Conference on Communication Technology (ICCT). Piscataway: IEEE, 2018: 1422-1425.
- [11] OKURA S, NISHIKIDO O, SADANAGA Y, et al. A 3.7M-pixel 1300-fps CMOS image sensor with 5.0G-pixel/s high-speed readout circuit[C]//2014 Symposium on VLSI Circuits Digest of Technical Papers. Piscataway: IEEE, 2014: 1-2.
- [12] KIM M S, KANG D U, LEE D H, et al. Fast signal transfer in a large-area X-ray CMOS image sensor[J]. *Journal of Instrumentation*, 2014, 9(8): P08011.
- [13] XU J T, LI W, NIE K M, et al. A method to reduce the effect on image quality caused by resistance of column bus[J]. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2019, 27(1): 173-181.
- [14] GAO J, ZHANG D Z, NIE K M, et al. Analysis and Optimization design of the column bus parasitic effects on large-array CMOS image sensor[J]. *Microelectronics Journal*, 2020, 96: 104681.
- [15] 高静, 张天野, 聂凯明, 等. 超大阵列 CMOS 图像传感器时序控制驱动电路设计[J]. *天津大学学报(自然科学与工程技术版)*, 2021, 54(1): 75-81.
- GAO J, ZHANG T Y, NIE K M, et al. Design of timing driven circuit for ultra large array CMOS image sensor[J]. *Journal of Tianjin University (Science and Technology)*, 2021, 54(1): 75-81. (in Chinese)
- [16] NIE K M, YAO S Y, XU J T, et al. A 128-stage analog accumulator for CMOS TDI image sensor[J]. *IEEE Transactions on Circuits and Systems I: Regular Papers*, 2014, 61(7): 1952-1961.
- [17] WANG Z J, MA Q Y, YANG T B, et al. A low-power column-parallel $\Sigma\Delta$ ADC with shared OTAs and single-bit-BWI decimation filter for CMOS image sensor[J]. *IEEE Transactions on Electron Devices*, 2022, 69(6): 2979-2985.
- [18] TREBERSPURG W, HAUSER G, MEIDINGER N, et al. Achievable time resolution of spectroscopic prototype DEPFET detectors[J]. *Journal of Instrumentation*, 2019, 14(3): P03019.
- [19] CARVALHO FREITAS L M, DIAS M, MEYNANTS G, et al. Design and simulation of a CMOS slew-rate enhanced OTA to drive heavy capacitive loads[C]//2018 International Conference on Biomedical Engineering and Applications (ICBEA). Piscataway: IEEE, 2018: 1-6.
- [20] SONG Y T, LI P, LIU Z L, et al. Buffer reduction for congestion control during timing optimization[C]//2022 IEEE 2nd International Conference on Power, Electronics and Computer Applications (ICPECA). Piscataway: IEEE, 2022: 36-40.
- [21] GUO Z J, CHENG X Q, XU R M, et al. A 1Gpixel 10FPS CMOS image sensor using pixel array high-speed readout technology[J]. *Integration*, 2023, 89: 114-122.
- [22] GUO Z J, YU N M, WU L S. Research on column FPN

- and black level calibration in large array CMOS image sensor[J]. Chinese Journal of Electronics, 2021, 30(2): 268-274.
- [23] GUO Z J, YU N M, WU L S. An improved segmented DAC for column readout circuit correction of large array CMOS image sensor[J]. IEICE Electronics Express, 2020, 17(10): 20200094.
- [24] JEONG B, LEE J, CHOI J, et al. A 0.57 mW@1 FPS in-column analog CNN processor integrated into CMOS image sensor[J]. IEEE Access, 2023, 11: 61082-61090.
- [25] KIM S, KIM T, SEO K, et al. A fully digital time-mode CMOS image sensor with 22.9pJ/frame.pixel and 92dB dynamic range[C]//2022 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE, 2022: 1-3.
- [26] BOGAERTS J, LAFAILLE R, BORREMANS M, et al. 6.3 105 × 65mm² 391Mpixel CMOS image sensor with > 78dB dynamic range for airborne mapping applications [C]//2016 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE, 2016: 114-115.
- [27] FUNATSU R, HUANG S, YAMASHITA T, et al. 6.2 133Mpixel 60fps CMOS image sensor with 32-column shared high-speed column-parallel SAR ADCs[C]//2015 IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers. Piscataway: IEEE, 2015: 1-3.
- [28] KUO C C, KURODA R. A 134 × 132 4-tap CMOS indirect time-of-flight range imager using in-pixel memory array with 10 kfps high-speed mode and high precision mode[J]. IEEE Journal of Solid-State Circuits, 2024, 59(2): 492-501.
- [29] TOTSUKA H, TSUBOI T, MUTO T, et al. 6.4 An APS-H-Size 250Mpixel CMOS image sensor using column single-slope ADCs with dual-gain amplifiers[C]//2016 IEEE International Solid-State Circuits Conference (ISSCC). Piscataway: IEEE, 2016: 116-117.
- [30] AGARWAL A, HANSRANI J, BAGWELL S, et al. A 316MP, 120FPS, high dynamic range CMOS image sensor for next generation immersive displays[J]. Sensors (Basel, Switzerland), 2023, 23(20): 8383.
- [31] GUO Z J, YU N M, WU L S. A synchronous driving approach based on adaptive delay phase-locked loop for stitching CMOS image sensor[J]. IEICE Electronics Express, 2020, 17(3): 20190642.
- [32] JUN J, SEO H, KWON H, et al. A 0.7 μm-pitch 108 mpixel nonacell-based CMOS image sensor with decision-feedback technique[C]//2022 IEEE International Symposium on Circuits and Systems (ISCAS). Piscataway: IEEE, 2022: 283-287.

作者简介



刘绥阳 女, 1997年8月出生于陕西省咸阳市. 现为西安理工大学自动化与信息工程学院博士研究生. 获陕西省教育厅创新成果奖2项. 在国内外发表论文10余篇.
E-mail: syliu@stu.xaut.edu.cn



许睿明 男, 1997年出生于内蒙古自治区巴彦淖尔市. 现为西安理工大学自动化与信息工程学院博士研究生. 主要研究方向为高性能混合集成电路的设计.
E-mail: rmxu@stu.xaut.edu.cn



郭仲杰 男, 1982年出生于陕西省渭南市. 现为西安理工大学教授、博导. 主要从事超大规模集成电路设计技术研究工作.
E-mail: zjguo@xaut.edu.cn



余宁梅 女, 1963年出生于广东省梅州市. 现为西安理工大学教授、博导. 主要从事大规模集成电路设计与工艺研究工作. 中国电子学会会员编号: E190010289S.
E-mail: yunm@xaut.edu.cn